

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-183986

(43)Date of publication of application : 16.08.1986

(51)Int.Cl. H01S 3/18
H01L 33/00

(21)Application number : 60-022927

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.02.1985

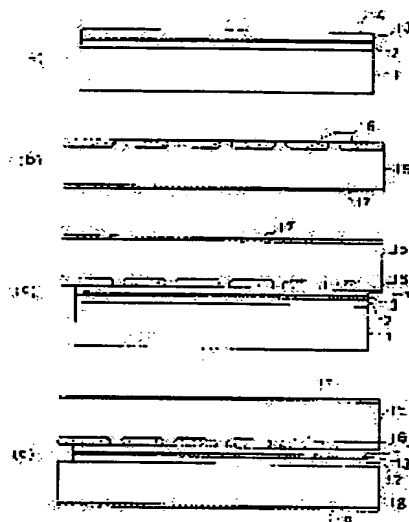
(72)Inventor : NAGASAKA HIROKO
MOGI NAOTO
SHIMADA NAOHIRO
KOMATSUBARA TADASHI
NAKAMURA MASARU

(54) MANUFACTURE OF SEMICONDUCTOR LIGHT EMITTING DEVICE

(57)Abstract:

PURPOSE: To obtain the title device of high output and high reliability which is easily produced, by a method wherein the first semiconductor substrate with a hetero junction structure and the second semiconductor substrate with a structure acting as current structure or mode control are directly joined to each other.

CONSTITUTION: A clad layer 12, an undoped active layer 13, and a clad layer 14 are successively grown above an N-GaAs substrate 11, thus forming a double hetero junction structure (first structure). Next, the surface of the clad layer 14 is polished into mirror. On the other hand, a P-SiC substrate 15 is provided with a metal mask in stripe form, and a high-resistance layer 16 is formed by front implantation, thus forming the second structure. The surface of the substrate 15 is polished into mirror. The mirror-polished surfaces of the substrates 11, 15 are made opposed, brought into close contact, and adhered by heat treatment. Next, the substrate 11 is removed, and the exposed surface of the clad layer 12 is polished into mirror; then, an N-SiC substrate (third semiconductor) 18 is adhered. A semiconductor laser chip is prepared by cutting this element for each stripe.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭61-183986

⑬ Int. Cl.⁴H 01 S 3/18
H 01 L 33/00

識別記号

庁内整理番号

7377-5F
6819-5F

⑭ 公開 昭和61年(1986)8月16日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 半導体発光装置の製造方法

⑯ 特 願 昭60-22927

⑰ 出 願 昭60(1985)2月8日

⑱ 発 明 者	長 坂	博 子	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	茂 木	直 人	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	島 田	直 弘	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	小 松	原 正	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	中 村	優	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑰ 出 願 人	株 式 会 社 東 芝		川崎市幸区堀川町72番地	
⑱ 代 理 人	弁 理 士 鈴 江 武 彦		外 2 名	

明 細 書

1. 発 明 の 名 称

半導体発光装置の製造方法

2. 特 許 請 求 の 範 囲

(1) 第1の半導体基板の表面に活性層及びクラッド層を積層したヘテロ接合からなる第1の構造部を形成したのち、該構造部の表面を鏡面研磨する工程と、第2の半導体基板の表面に上記第1の構造部に対して電流狭窄効果或いはモード制御効果の少なくとも一方を及ぼす第2の構造部を形成したのち、該構造部を鏡面研磨する工程と、次いで清浄な雰囲気中で前記第1及び第2の構造部の鏡面研磨された表面同士を対向させて密着し、この状態で200[℃]以上の温度で熱処理して前記各基板を接合する工程とを含むことを特徴とする半導体発光装置の製造方法。

(2) 前記鏡面研磨する工程は、表面粗さ500[Å]以下に研磨することである特許請求の範囲第1項記載の半導体発光装置の製造方法。

(3) 前記清浄な雰囲気とは、ゴミ浮遊量が20

[個/㎖]³以下の雰囲気であることを特徴とする特許請求の範囲第1項記載の半導体発光装置の製造方法。

(4) 前記第1の半導体基板の裏面側を前記第1の構造部に達するまで或いは該構造部の近傍までエッチングし、このエッチング面に上記第1の半導体基板と同一導電型を有し、且つ上記第1の半導体基板より熱伝導性の良好な第3の半導体基板を接合することを特徴とする特許請求の範囲第1項記載の半導体発光装置の製造方法。

3. 発 明 の 詳 細 な 説 明

(発明の技術分野)

本発明は、半導体レーザや発光ダイオード等の半導体発光装置の製造方法に係わり、特に基板の接合を利用した半導体発光装置の製造方法に関する。

(発明の技術的背景とその問題点)

半導体レーザにおいては、発振状態での活性層からの発熱は、素子の電流-光出力特性を飽和させたり、また定出力動作の場合には発熱による効

率の低下が動作電流を引下げ、それが更に熱を増加させる。このような正帰還がかかって、ついには発振しなくなるような劣化を引起す。これらの点から特に高出力レーザや長期の信頼性を要求される通信用レーザ等において、活性層の発熱をいかに速くヒートシンクに導くかは重要な問題である。

従来の構造のレーザでは、活性層とヒートシンクとの間に、少なくともクラッド層及びコンタクト層と云う熱伝導性の悪い半導体材料が存在する。さらに、融着金属によっては、ジャンクションを上にしてマウントしなければならないので、厚い基板が介在しており、熱の発散は良くないものであった。

また、半導体レーザは、その材料や用途に応じて様々な構造を有するが、一般には活性層及びクラッド層を含むヘテロ接合構造部と、電流狭窄効果やモード制御効果を有する構造部とが半導体基板表面に垂直方向に結合した形で構成されているものが多い。例えば、第5図(a)に示す如く

、これはヘテロ接合構造部52、～、54と、電流狭窄部58、61とが、順次結合した利得導波型レーザである。

このように半導体基板表面に垂直方向にヘテロ接合構造部と電流狭窄若しくはモード制御部とが縦方向結合したレーザは、第6図(a)～(c)に示す如く製造される。GaAlAs系レーザを例にすると、まず第6図(a)に示す如くN-GaAs基板51上にN-GaAlAs第1クラッド層52、GaAs活性層53、P-GaAlAs第2クラッド層54及びN-GaAs電流阻止層55を成長形成したのち、同図(b)に示す如く電流阻止層55をストライプ状にエッチングし、次いで同図(c)に示す如く実効屈折率差を設けるためのP-GaAlAs高屈折率層56、P-GaAlAs第3クラッド層57及びP-GaAsコンタクト層58を成長形成する。

m-ECCOレーザに第6図に示す方法を用いる場合に、いくつかの問題を生じる。第1に、高屈

m-ECCO(モディファイド、エンベディド、コンファイニングレイアー、イン、オブチカルガイド)構造と称される作り付け導波型レーザ(第16回国際固体素子コンファレンス、予稿集p153～p156、1984年)では、半導体基板51上にダブルヘテロ接合構造部をなす活性層53及びクラッド層52、54と、電流狭窄効果及び実効屈折率差によるモード制御効果を有する電流阻止層54及び高屈折率層55とが、基板51の表面に垂直方向に結合した構造を有する。第5図(b)はCSP(チャネルド、サブストレート、プレーナ)レーザと称されるもので(IEEE、ジャーナル、オブ、クォンタム、エレクトロニクス、1978年、QE-14巻、p89)、このレーザはモード制御効果を有する半導体基板51と、ヘテロ接合構造部52、～、54とが、基板表面に対して、第5図(a)とは逆の順序で結合した作り付け導波型レーザである。また、第5図(c)はNOS(ネイティブ、オキサイド、ストライプ)レーザと称されるもので(IOC 81 予稿集MB-1)

折率層56、クラッド層57及びコンタクト層58の成長は、ストライプ部分ではGaAlAs上の成長となるため、LPE法によっては形成不可能であり、MOCVD法やMBE法を用いなければならない。第2に、気相成長法を用いる場合にも溝部の成長は結晶欠陥を生じ易く、レーザの性能や信頼性の低下を引起す。第3に、ダブルヘテロ接合自体がエッチングプロセスや成長プロセスを経るために、エッチング液に晒されたり、成長過程に高温に晒され、構造やドーピングレベルの変化や結晶欠陥の導入を生じ易い。

また、第5図(b)に示すCSPレーザは、基板にチャネルを形成したのちにダブルヘテロ接合を形成して作られるが、この場合にも問題点が生じる。例えば、溝上にヘテロ接合を成長させるため、成長条件によっては活性層の品質の低下を引起す。特に、気相成長法を用いる場合には、成長層に溝形状が反映されるので活性層が折れ曲り、信頼性の低下を引起し易い。

以上のような諸問題の他にも、一般的に縦方向

結合型構造の場合は、いずれも結晶成長法によってその構造を形成していくため、各層の材料や組成は下地材料と格子整合がとれ、結晶成長可能なものである必要があり、また結晶の面方位等は基板の面方位、下地の加工形状及び結晶成長条件等により決定されると言う制約がある。これらの制約は、デバイスの構造や性能の可能性を大幅に制限するものである。

一方、通信用ダイオードにおいては、ファイバとの結合を考えた時、広がり角及びスポットサイズを小さくすることと、高輝度化が必要である。スポットサイズは電流の広がりによって支配されているので、活性層と狭窄層とが十分近いことが必要で、且つコンタクト層等の吸収を避けるためには、2回のエピタキシャル成長による狭窄層の埋込みをする必要がある。このため、工程が複雑であり量産性に問題がある。

(発明の目的)

本発明は上記の事情を考慮してなされたもので、その目的とするところは、製造が容易で高出力・

高信頼性の半導体発光装置を製造することができ、且つ結晶成長による材質や面方位の制約を大幅に緩和できる半導体発光装置の製造方法を提供することにある。

(発明の概要)

本発明の骨子は、ヘテロ接合構造部が形成された第1の半導体基板と、電流狭窄或いはモード制御として作用する構造部が形成された第2の半導体基板とを、直接接合させて半導体発光装置を製造することにある。

即ち本発明は、半導体発光装置の製造方法において、第1の半導体基板の表面に活性層及びクラッド層を積層したヘテロ接合からなる第1の構造部を形成したのち、該構造部の表面を鏡面研磨し、さらに第2の半導体基板の表面に上記第1の構造部に対して電流狭窄効果或いはモード制御効果の少なくとも一方を及ぼす第2の構造部を形成したのち、該構造部を鏡面研磨し、次いで清浄な雰囲気中で前記第1及び第2の構造部の鏡面研磨された表面同士を対向させて密着し、この状態で

200〔℃〕以上の温度で熱処理して前記各基板を接合するようにした方法である。

(発明の効果)

本発明によれば、ヘテロ接合からなる第1の構造部と電流狭窄若しくはモード制御部として作用する第2の構造部とを別々に製造できるので、第1の構造部の上に気相成長により第2の構造部を形成する従来方法に比して、第2の構造部の構造やその形成方法が第1の構造部やその材質に影響を受けたり、逆に第2の構造部を形成するためにヘテロ接合構造部がエッチング液に晒されたり高温による構造やドーピングの変化や結晶欠陥が導入されるといった諸問題は全て解決される。また、相互の構造を配慮したプロセスを行う必要がないので、プロセスの手順や条件が簡便になり、素子の歩留りの向上や量産性の向上に有効である。さらに、相互の構造や材質及び結晶成長法の制限を考慮する必要がない。例えば、電流狭窄効果若しくはモード制御効果の生じる第2の構造部を必ずしも結晶成長によって製造する必要はない。このことは、

従来の半導体レーザに対する制約を大幅に緩和するものであり、より完全に電流狭窄効果や、さらに複雑なモード制御効果を実現することができる。また、接合は面方位に依存しないため、他の特性は変えずに縦方向に面方位の異なる構造が結合したレーザと言う新しい半導体レーザが実現される。

また、上記理由から、第2の半導体基板として熱伝導率の高い半導体材料、例えばSiC、C、Si等を用いることができ、これによりヘテロ接合構造部の熱を速やかに放熱することができる。このため、発光出力の大出力化をはかることもできる。

(発明の実施例)

まず、実施例を説明する前に、本発明の基本原則について説明する。

従来、ガラス板の平滑な面を極めて正常に保ち、このような2枚のガラス板を直接密着させると、その間の摩擦係数が増大して接合状態が得られることが知られている。そして、これに逆らって上記ガラス板の面同士を滑らすと、その接合面のむ

しり取りによるクラックが発生することもある。これに対して従来、半導体結晶体同志の上記ガラスの如き接合法が知られていないことは、半導体結晶体の接合すべき面の平滑性とその清浄性を厳密に保つことが難しかったことが最大の原因であったと言える。

そこで本発明者等は、次のような処理を施すことにより、ガラス同志の接合のように半導体結晶体同志の接合も可能なことを見出した。即ち、2つの半導体結晶体の接合すべき面を表面粗さ500[Å]以下に平滑化し、5分間水洗した。平滑化の方法は、鏡面研磨或いは鏡面研磨した表面上にその平坦さを損わない方法、例えばMOCVD法或いはMBE法によってエピタキシャル成長層を形成して行う。得られた半導体の面は水に良く濡れ、自然酸化物の層が形成されることが推定された。その後、メタノール置換、フレオン乾燥を行い、このようにして得られた半導体結晶体を、ゴミ浮遊量20[個/㎥]の実質的にゴミのないクリーンルーム中で上記接合面

を相互に直接密着させて200[℃]以上の温度で熱処理したところ、両者は極めて強固に接合した。この接合体の接着強度は、熱処理温度200[℃]以上で特に著しく上昇する。

以上のことから、研磨した清浄な半導体の面は水洗だけで表面が親水性となり、清浄な環境下で且つ200[℃]以上の温度下で接合すれば強固に接合体を得ることができる。

一方、200[℃]程度の加熱温度では、半導体構成原子についてはもとより、最も拡散し易い1価イオンでも、半導体結晶中における拡散速度は通常無視できる程度に小さいことは周知である。また、この200[℃]付近の温度では、酸化膜の表面に吸着された水分子が殆ど脱離し、化学吸着により形成された-OH基の脱水結合が起こり始めることも知られている。これらのことを考え合わせれば、前記半導体結晶体相互の結合は、金属同志の接合として知られている相互拡散によるものではなく、半導体結晶体の表面酸化膜の水和層間の相互作用や、-OH基の脱水重合によって

半導体-O-半導体なる強固な接合構造を成しているものと考えられる。

このような事實は、半導体結晶体の表面を親水性にし、その密着接合後に200[℃]以上の加熱処理を施せば、高い接着強度が得られることを意味している。

以下、本発明の詳細を図示の実施例によって説明する。

第1図(a)~(d)は本発明の第1の実施例に係わるGaAlAs系半導体レーザの製造工程を示す断面図である。

まず、第1図(a)に示す如くN-GaAs基板(第1の半導体基板)11上に厚さ1.5[μm]のN-Ga_{0.95}Al_{0.05}Asクラッド層12($n=1 \times 10^{18} \text{ cm}^{-3}$)、厚さ0.08[μm]のアンダーブレイク層13及び厚さ1.5[μm]のP-Ga_{0.95}Al_{0.05}Asクラッド層14($p=1 \times 10^{18} \text{ cm}^{-3}$)をMOCVD法により順次成長形成する。ここで、上記活性層13及びクラッド

層12、14からダブルヘテロ接合構造部(第1の構造部)が形成されることになる。次いで、P-GaAlAsクラッド層14の表面を表面粗さ500[Å]以下に鏡面研磨し、脱脂しておく。

一方、第1図(b)に示す如く高熱伝導率の材料であるP-SiC基板(第2の半導体基板)15にメタルマスク(図示せず)を幅3[μm]、周期300[μm]でく110°方向にストライプ状に付けておき、プロトン打込みを行い高低抗層16を形成する。そして、基板15の表面を表面粗さ500[Å]以下に鏡面研磨した後、脱脂しておく。なお、上記P-SiC基板15及び高低抗層16から電流狭窄部として作用する第2の構造部が形成されることになる。また、P-SiC基板15の裏面には予めP側金属電極17を形成しておく。

次いで、前記N-GaAs基板11の表面層であるP-GaAlAsクラッド層14の表面及びP-SiC基板15の表面を清浄な水で数分間水洗する。続いて、これをスピナーで脱水処理す

る。次いで、クラス1以下の清浄な雰囲気中で、第1図(c)に示す如く基板11、15の端面研磨した表面側を対向させ、P-GaAsクラッド層14とP-SiC基板15とを密着させる。この状態で、200[℃]以上の温度で熱処理し、基板11、15を接合する。

次いで、第1図(d)に示す如く前記N-GaAs基板11をPAエッチャントでN-GaAsクラッド層12が露出するまでエッチングし、このエッチング面を端面研磨した後、脱水・水洗を施す。そして、更にもう1枚のN-SiC基板(第3の半導体基板)18も同様に前処理して、これをN-GaAsクラッド層12の研磨した表面と密着させ、先の手順と同様にして接合する。なお、N-SiC基板18の裏面には予めN側電極19としてAuGe/Auを始めに付けておく。同様に、前記P-SiC基板15の裏面には、P側電極17としてTiPtAuを始めに付けておく。

次いで、上記第1図(d)に示す試料を前記ス

たり、高温による構造やドーピングの変化や結晶欠陥が導入されると言った等の不都合もない。さらに、相互の構造を配慮したプロセスを行う必要もないので、プロセスの手順や条件が簡便となる。このため、製造歩留り及び量産性の向上をはかり得、さらに信頼性の向上をはかり得る。

第3図は第2の実施例に係わるバラス型発光ダイオード(LED)の概略構造を示す断面図である。製造工程は、基本的には第1図(a)~(d)と同様である。バラス型LEDの場合、電流狭窄層を形成する際のマスクの形状がストライプではなく、直径50[μm]の円形である。但し、プロトン打込み後の断面は、第1図(b)と同様となる。ヘテロ接合部と接合され、第1図(c)のような断面で表わされる形となった後、N-GaAs基板11にフォトレジストを塗り、電流が注入されて発光する部分の基板の上を直径150[μm]の部分を残してフォトレジストを取り除き、N-電極金属(AuGe/Au)を蒸し、レジストを剥離してリフトオフを行う。次

トライブと垂直にヘキ面を出すようにヘキ開し、ストライプ方向の長さ、即ち共振器長は250[μm]とした。さらに、これを各ストライプ毎に切り分けて、第2図に示す如く1つの半導体レーザチップを作製した。なお、このチップはN側電極19を下にして、Cuベース上にAuSnを融着金属としてマウントされる。

かくして製造された半導体レーザは、従来のNOSレーザと比較すると、NOSレーザが発振しきい値が50[mA]、CWでの光出力が120[mW]くらいで飽和してくるのに対し、発振しきい値が46[mA]、CWでの光出力の飽和は170[mW]以上と大幅な改善が見られた。さらに、放熱特性の向上のために50[℃]、5[mW]の定出力動作試験においても、動作電流が平均10[mA]ほどNOSレーザより低く、劣化も殆ど見られていない。

また、電流狭窄構造部をヘテロ接合構造部上にエピタキシャル成長により形成する従来方法に比して、ヘテロ接合構造部がエッチング液に晒され

いで、この金属電極をマスクとしてPAエッチャントでN-GaAsクラッド層12に至る深さまでエッチングする。その後、ダイシングで各チップに切出すことにより、第3図に示す如きLEDが完成することになる。

なお、LEDの場合、ダブルヘテロ接合構造のパラメータ(特に厚さ)が前記半導体レーザとは異なっている。即ち、クラッド層12、14の厚さは2.5[μm]、活性層13の厚さは1.0[μm]とした。

第4図(a)~(f)は第3の実施例に係わるGaAs系半導体レーザの製造工程を示す断面図である。なお、この図では1チップに相当する部分のみを示している。

まず、第4図(a)に示す如く面方位(100)のN-GaAs基板41(Siドーパ1×10¹⁸cm⁻³)上に厚さ1.5[μm]のN-GaAsクラッド層42(Seドーパ1×10¹⁷cm⁻³)、厚さ0.08[μm]のアンダーエピタキシャル成長したGaAs活性層43及び厚

さ1.5[μm]のP-Ga_{0.95}Al_{0.05}Asクラッド層44(Znドーブ $7 \times 10^{18} \text{cm}^{-3}$)を順次成長形成する。ここで、上記活性層43及びクラッド層42、44からダブルヘテロ接合構造(第1の構造部)が形成されることになる。

一方、第4図(b)に示す如く面方位(100)のP-GaAs基板45上に厚さ0.05[μm]のP-Ga_{0.95}Al_{0.05}As高屈折率層46を成長形成する。次いで、第4図(c)に示す如く高屈折率層46上にストライプ状にエッチングマスク(図示せず)を形成し、これにより幅3[μm]程度、深さ1[μm]のメサストライプを形成する。続いて、第4図(d)に示す如くエッチングによって除去した部分にN-GaAs電流素子層47(Seドーブ $5 \times 10^{18} \text{cm}^{-3}$)を成長形成する。ここで、高屈折率層46及び電流素子層47から、電流狭窄及びモード制御部として作用する第2の構造部が形成されることになる。

次いで、前記第4図(a)に示す状態の試料及び同図(d)に示す状態の試料の各表面を表面粗

さ500[Å]以下に鏡面研磨する。このとき、P-GaAs基板45の研磨に際し、研磨表面にはP-GaAlAs高屈折率層46及びN-GaAs電流素子層47が露出しているものとする。

次いで、上記各研磨面を清浄な水で水洗し、室温でスピナー処理のような脱水処理を施す。これらの処理を施した各鏡面研磨面を、例えば1クラス以下の清浄な大気雰囲気中に設置し、その鏡面研磨面に異物が実質的に介在しない状態で、第4図(e)に示す如く相互に密着して接合する。その後、上記接合したウェハを200[°C]以上で加熱処理することにより、接合強度を増大する。

次いで、P-GaAs基板45及びN-GaAs基板41をそれぞれ数[μm]、数10[μm]の厚さまで研磨し、その両面に第4図(f)に示す如くオーミック電極48、49を形成する。

かくして製造された半導体レーザは、ダブルヘテロ接合構造からなる第1の構造部と、電流狭窄

及びモード制御部として作用する第2の構造部とが、別々に製造されることになる。従って、先に説明した第1の実施例と同様な効果が得られる。また、前記第5図(a)の構造では高屈折率層56がP型クラッド層54及び電流素子層55の表面全体を覆っており、ストライプ溝両側部分で高屈折率層56がせりあがっているため、この部分の実効屈折率差が溝中央より大きくなり、モードが偏ってしまう問題があるが、本実施例の構造では上記の問題は生じない。

なお、本発明は上述した各実施例に限定されるものではない。例えば、前記第1の実施例において、成長の初めのGaAs基板11をN型基板としておき、第1図(c)の状態にN-GaAs基板11を全てエッチングせずに残しておき、この基板11の下面にN側電極19としてAuGe/Auを付けてオーミックコンタクトを取るようにしてもよい。また、この実施例において、PNを逆とした場合には、前記基板15がN-SiC基板となる。この場合、ストライプ状の

Si₃N₄等のマスクを付けた後Zn拡散を行い、前記高抵抗層16をP型とすることでNPNの形で電流狭窄を行うことができる。さらに、ヒートシンクの材料はSiCに限るものではなく、C、Si、GaP、InP、GaAs等を用いてもよい。

また、前記電流素子層及び高屈折率層は、それぞれ電流素子効果のある材質及び活性層に対して実効屈折率が高く電流が注入できる材質等であればよく、GaAsやGaAlAsである必要はない。例えば、電流素子層にはアンドープZnSeを用いてもよいし、またGaAs系の代わりにGaAsP基板上に成長したGaInPを用いてもよい。GaInPとGaAlAsとは一組成を除いて格子が整合がとれないが、本発明の接合技術を用いれば問題ない。また、結晶成長法はMOCVD法に限るものではなく、MBE法やLPE法を用いることも可能である。さらに、第1及び第2の構造部の構造、材質及び導電型等は、仕様に依じて適宜変更可能である。その他、本発

明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

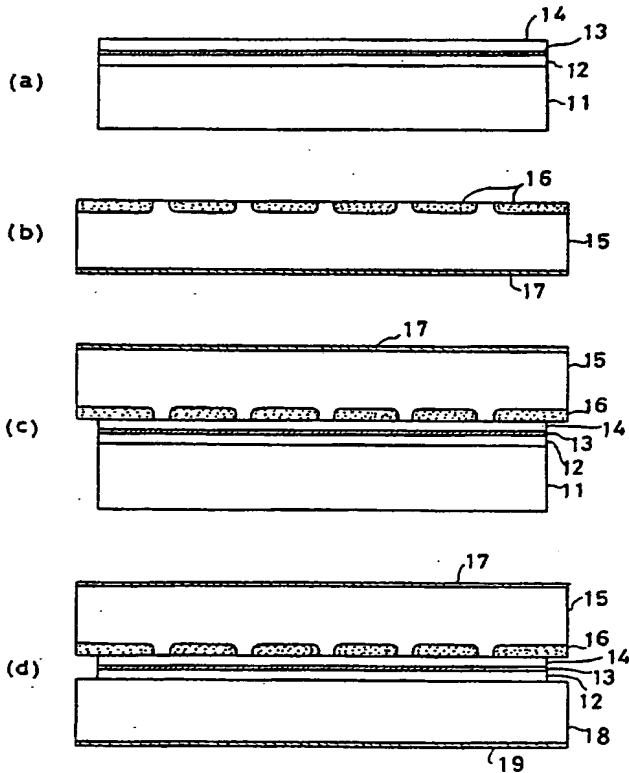
第1図(a)～(d)は本発明の第1の実施例に係わる半導体レーザの製造工程を示す断面図、第2図は上記工程により製造された半導体レーザの概略構造を示す断面図、第3図は第2の実施例に係わるバラス型LEDの概略構造を示す断面図、第4図(a)～(f)は第3の実施例に係わる半導体レーザの製造工程を示す断面図、第5図(a)～(c)はそれぞれ従来の半導体レーザの概略構造を示す断面図、第6図(a)～(c)は従来の半導体レーザの製造工程を示す断面図である。

11, 41…N-GaAs基板(第1の半導体基板)、12, 42…N-GaAlAsクラッド層、13, 43…アンドープGaAlAs活性層、14, 44…P-GaAlAsクラッド層、15…P-SiC基板(第2の半導体基板)、16…高抵抗層、17, 48…P側電極、18…N-SiC基板(第3の半導体基板)。

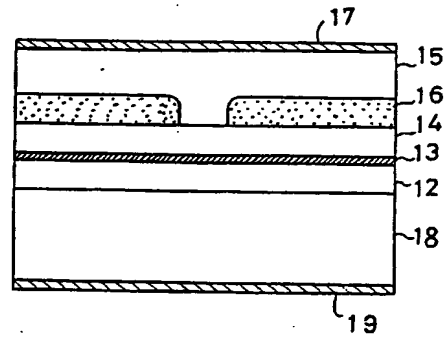
19, 49…N側電極、45…P-GaAs基板(第2の半導体基板)、46…P-GaAlAs高屈折率層、47…N-GaAs電流集子層。

出願人代理人 弁理士 鈴江武彦

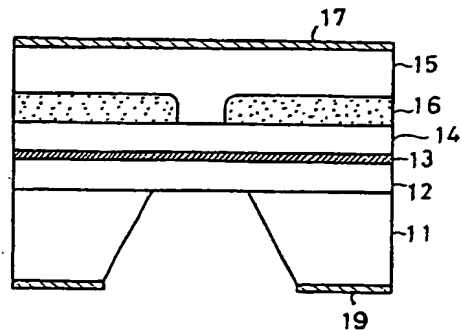
第1図



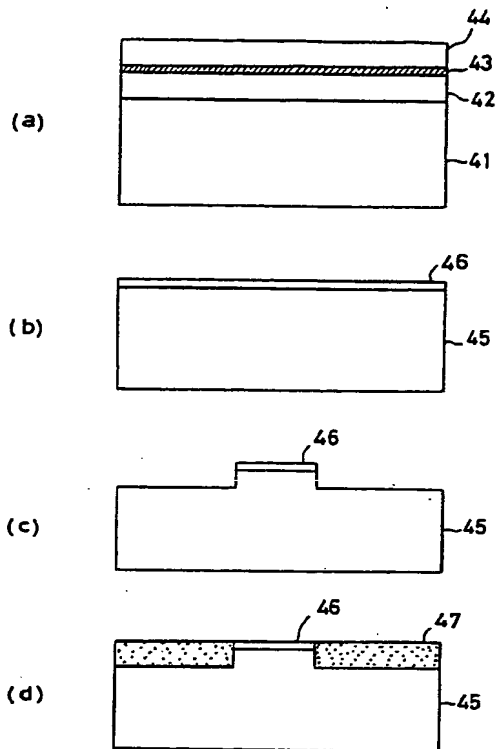
第2図



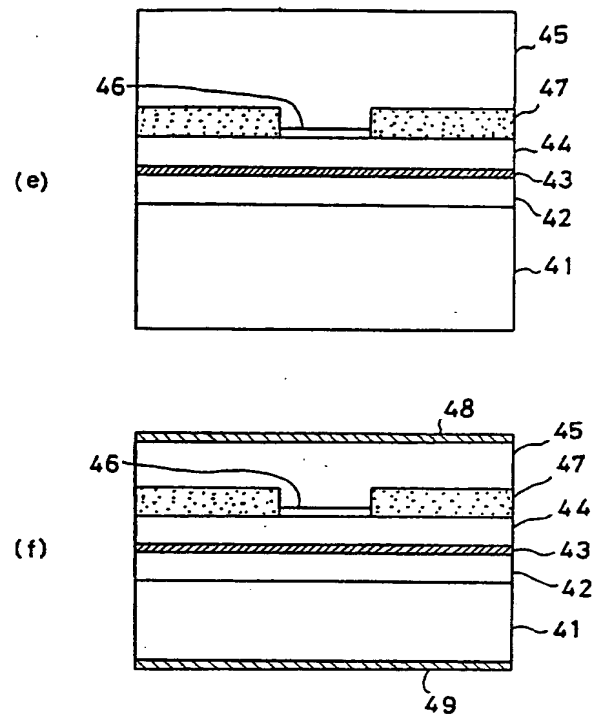
第3図



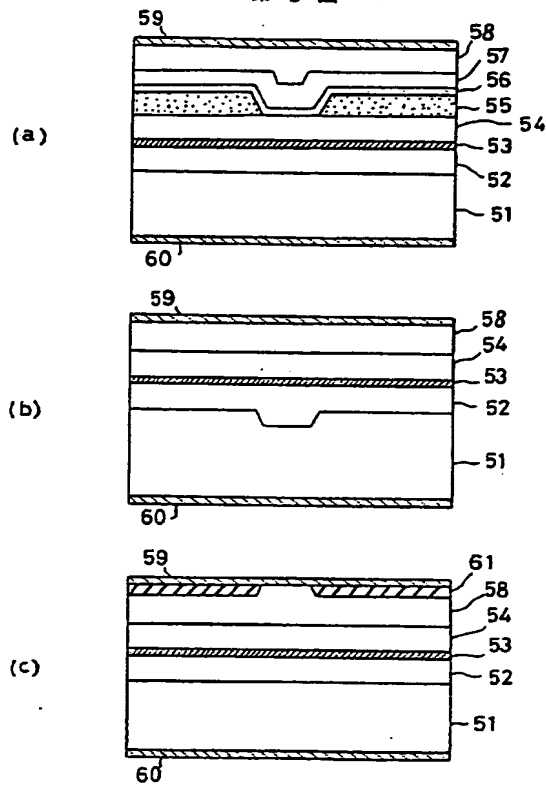
第4図



第4図



第5図



第6図

